

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-154683
 (43)Date of publication of application : 08.06.1999

(51)Int. CI. H01L 21/336
 H01L 29/78

(21)Application number : 10-254039 (71)Applicant : SANYO ELECTRIC CO LTD
 (22)Date of filing : 08.09.1998 (72)Inventor : KUBO HIROTOSHI
 KUWAKO EIICHIRO

(30)Priority

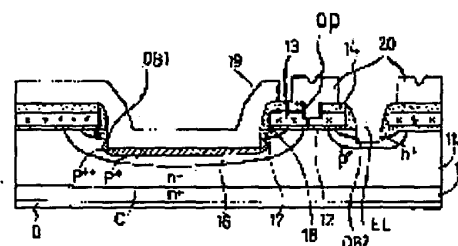
Priority	09250998	Priority	16.09.1997	Priority	JP
number :		date :		country :	

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress parasitic capacitance from increasing, by forming a gate insulation film covering from cell regions to peripheral regions beneath gate electrodes, and removing the gate electrodes at the peripheral regions and the gate insulation film beneath these gate electrodes.

SOLUTION: A gate insulation film 12, gate electrodes 13 and an NSG film 14 are formed near source regions 17 on a drain layer 11A with side walls of an NSG film formed at the side faces of these films 12, 14 and gate electrodes 13, so that the ends of the side walls 18 align with the ends of the source regions 17. Openings OP are formed through a part of the NSG film 14 covering the gate electrodes 13, and eliminating regions EL are provided on the NSG film opposite to the side walls 18 through the openings OP.



LEGAL STATUS

[Date of request for examination] 06.09.2000
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-154683

(43) 公開日 平成11年(1999) 6月8日

(51) Int.Cl.⁸
H 0 1 L 21/336
29/78

識別記号

F I
H 0 1 L 29/786 5 8 G
6 5 2 K
6 5 2 M
6 5 2 N

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平10-254039

(22) 出願日 平成10年(1998) 9月8日

(31) 優先権主張番号 特願平9-250998

(32) 優先日 平9(1997) 9月16日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 久保 博裕

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 桑子 栄一郎

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

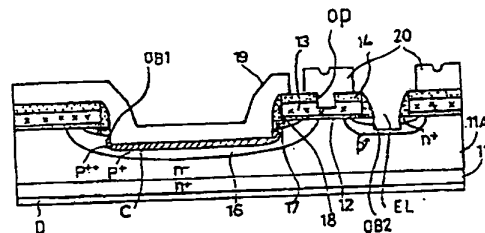
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 パワーMOSFET、およびその製造方法に於いて、特にマスク工程の削減に関し、またそれによる寄生容量の削減を抑制するものである。

【解決手段】 半導体チップの全面に厚い絶縁膜3の代わりにゲート絶縁膜12を形成し、これを誘電体とするゲートドレイン間の寄生要領を削除領域ELを設けて抑制する。



11: 半導体基板

11A: ドレイン層

12: ゲート絶縁膜

13: ゲート電極

14: NSG膜

15: ドレイン領域

17: ソース領域

18: サイドゲート

19: ソース電極配線

20: ゲート電極配線

(2)

特開平11-154683

1

【特許請求の範囲】

【請求項1】 半導体チップの中央に位置するセル領域にマトリックス状に形成されたソース領域と、前記ソース領域を囲んで格子状に形成され、前記セル領域の外側から前記半導体チップ周辺までで成る周辺領域に延在されたゲート電極と、前記ゲート電極と接続されたゲート電極配線と、前記ソース領域と接続されたソース電極と、前記半導体基板の裏面に形成されたドレイン電極とを有する半導体装置に於いて、

前記ゲート電極の下層に形成されたゲート絶縁膜は、前記セル領域から前記周辺領域まで形成され、前記周辺領域に位置するゲート電極の一部、このゲート電極の一部の下層のゲート絶縁膜が取り除かれている事とを特徴とする半導体装置。

【請求項2】 前記ゲート電極上に成された絶縁膜と、前記格子状のゲート電極、この下層のゲート絶縁膜および前記上層の絶縁膜の側壁に形成されたサイドウォールと、前記サイドウォールで囲まれた前記半導体層に形成された凹部と、前記凹部の形成領域から前記ゲート電極の形成領域周辺まで形成された逆導電型のチャネル層と、前記凹部の周辺から前記ゲート電極の形成領域まで形成された一導電型のソース領域とを有する請求項1記載の半導体装置。

【請求項3】 前記ゲート電極の一部、このゲート電極の一部の下層のゲート絶縁膜が取り除かれた領域には、絶縁物質が埋め込まれる請求項1または請求項2記載の半導体装置。

【請求項4】 半導体チップの一構成要素である一導電型の半導体基板の表層に、一導電型のドレイン層を形成する工程と、

前記ドレイン層上に前記半導体チップ周囲に渡るゲート絶縁膜、導電体層、絶縁膜を順次形成する工程と、前記半導体チップのセル領域に位置する絶縁膜、導電体層及び前記ゲート絶縁膜をパターンニングして、前記導電体層より成る格子状のゲート電極を形成する工程と、前記ゲート電極をマスクにして前記ドレイン層の表層に逆導電型の不純物を注入してチャネル領域を形成する工程と、

前記ゲート電極をマスクにして前記チャネル領域上に一導電型の不純物を注入して一導電型の第1不純物領域層を形成する工程と、

前記ゲート電極にサイドウォールを形成する工程と、前記サイドウォールをマスクにして第1凹部を形成し、同時に前記第1不純物領域層の中央を取り除いてソース領域を形成する工程と、

前記セル領域の外側に位置する周辺領域に位置する絶縁膜を取り除いてゲートコンタクト領域を形成する工程と、

前記第1凹部にソース電極を、前記ゲートコンタクト領域にゲート電極を形成する工程とを有することを特徴と

2

する半導体装置の製造方法。

【請求項5】 前記第1不純物領域層の形成工程の後、ゲートコンタクト領域の形成工程を実施し、その後サイドウォールの形成工程、ソース領域の形成工程を実施する請求項4記載の半導体装置の製造方法。

【請求項6】 前記ゲート電極を形成する工程に於いて、前記周辺領域の一部にゲート電極が取り除かれた開口部を形成する請求項4および請求項5記載の半導体装置の製造方法。

【請求項7】 前記第1不純物領域層を形成する工程に於いて、前記開口部にも同導電型の第2不純物領域層が形成され、前記第1凹部の形成工程時に、前記第2不純物領域層の一部が取り除かれた第2凹部を形成する請求項6記載の半導体装置の製造方法。

【請求項8】 前記第2凹部は、絶縁膜で埋め込まれる請求項7記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関し、さらに詳しくいえば、パワーMOSFETの製造工程におけるマスク工程の削減、およびこのプロセスで生じる寄生容量の抑制構造に関する。

【0002】

【従来の技術】 以下で、従来のパワーMOSFETとその製造方法について図面を参照しながら説明する。図5は従来のパワーMOSFETの構造を示す断面図であって、図6～図8は、従来のパワーMOSFETの製造方法を説明する断面図である。

【0003】 従来のパワーMOSFETは、図5に示すように、n+型の半導体基板1上にn-型のエピタキシャル層からなるドレイン層1Aが形成され、その表層の一部に、p型不純物拡散によって形成されたチャネル領域6が形成されている。その中央にはp+型不純物が拡散されてなるボディ領域8が形成されており、これを囲むようにしてn+型不純物拡散で形成されたソース領域7がチャネル領域8の表層に設けられている。

【0004】 また、後述のパッド電極10を形成する領域には絶縁膜3が設けられている。

【0005】 さらにチャネル領域6及びソース領域7の一部領域と重複するように、ゲート絶縁膜2、ゲート電極4が順次チャネル領域6上に形成されている。

【0006】 また、ゲート電極4を被覆するようにPSG (Phospho-Silicate Glass) 膜5が形成されている。このPSG膜5には、絶縁膜3が形成された領域の一部に、開口が設けられており、ここから露出するゲート電極4とコンタクトをとるようなパッド電極10が、この開口及びその周辺に形成されている。

【0007】 また、ソース領域7、ボディ領域8の上には、ソース領域7とのコンタクトをとるためのソース電極配線9が形成されている。

4/23

(3)

特開平11-154683

3

4

【0008】上記のパワーMOSFETの製造工程について図6～図8を参照しながら以下で説明する。

【0009】まず、n+型の半導体基板1上に、n-型のドレイン層1Aをエピタキシャル成長によって形成する。次に、その上に厚い酸化膜を形成し、フォトリソグラフィ工程でレジスト膜を選択的に形成し、これを第一回目のマスクにしてパターンニングしてパッド電極用の絶縁膜3を形成した後に、再びゲート絶縁膜2となる酸化膜を形成する。次に、全面にポリシリコン膜4Aを形成する。(以上図6参照)

以下、厚い酸化膜が形成された領域を周辺領域と呼ぶ。

【0010】次いで、ポリシリコン膜4A上にフォトレジスト膜を形成し、フォトリソグラフィ法によってパターンニングし、パターンニングされたレジスト膜を第2回目のマスクにしてポリシリコン層と酸化膜とをエッチングして、図7に示すようにゲート絶縁膜2とゲート電極4とを形成する。

【0011】以下、ゲート電極が格子状に形成される領域をセル領域と呼ぶ。

【0012】次に、これらのゲート絶縁膜5、ゲート電極4をマスクにしてp型の不純物を注入して、ドレイン層1Aの表層の一部にチャネル領域6を形成する。(以上図7参照)

次に、再び全面に不図示のフォトレジストを塗布し、フォトリソグラフィ法によってチャネル領域6の中央部に選択的に形成されるように第3回目のフォトレジスト膜をパターンニングし、これをマスクにしてn型不純物をチャネル領域6に注入してソース領域7を形成する。その後、このレジスト膜を除去し、再びフォトレジストを塗布して中央部に開口ができるようにこれをパターンニングした後に、新たなこのレジスト膜(不図示)を第4回目のマスクにしてp型不純物をチャネル領域3上に注入して、ボディ領域8を形成する。次いで、第4回目のレジスト膜を除去して全面にPSG膜を形成する(以下図8参照)。

【0013】その後、不図示のレジスト膜をPSG膜5上に形成して、パッド電極を形成する周辺領域と、ボディ領域8とソース領域7の一部領域に開口が形成されるようにフォトリソグラフィ法によってパターンニングし、これを第5回目のマスクにしてPSG膜5をエッチング・除去する。次いで、全面にアルミ等の金属を蒸着等で形成し、これを第6回目のマスクによりパターンニングし、露出されたボディ領域8とソース領域7の一部領域に接するようにソース電極9を、絶縁膜3の上にはパッド電極10を、それぞれ形成することにより、図5に示すような構造のパワーMOSFETが形成されることになる。

【0014】

【発明が解決しようとする課題】以上で説明したプレーナ型のパワーMOSFETについては、

- 1) 最初のボンディングパッド用の厚い酸化膜を形成するためのマスク形成工程
- 2) ゲート電極を形成するためのパターンニング用マスクの形成工程(図7)
- 3) ソース領域7を形成するためのレジストマスク形成工程(図8)
- 4) ボディ領域8を形成するためのレジストマスク形成工程(図8)
- 5) ソース領域7のコンタクトホールをPSG膜8に形成する際のレジストマスク形成工程

6) パッド電極10やソース電極配線9配をパターンニングするためのレジストマスク形成工程
においてパターンニングのためのフォトリソ工程に用いるフォトマスクが必要なので、都合6枚ものフォトマスクが必要になる。

【0015】また、上記工程においては素子分離の工程は含めてないが、この素子分離においてもマスクが必要になるので、さらにマスクが必要になることになる。

【0016】このため、マスク工程やこれに付随する工程が非常に多くなり、製造工程が複雑になり、製造コストが高くなってしまおうという問題が生じていた。

【0017】また、トレンチ型のパワーMOSFETについては、製造工程において、ボディ領域及びソース領域を、フォトレジストをマスクとして用いて形成している。このため、微細化には限度があり、セル密度を増加させることが困難であったという事情があった。

【0018】

【課題を解決するための手段】本発明は上記従来の欠点に鑑み成されたもので、第1に、前記ゲート電極の下層に形成されたゲート絶縁膜は、前記セル領域から前記周辺領域まで形成され、前記周辺領域に位置する一ゲート電極、この一ゲート電極の下層のゲート絶縁膜を取り除くことで解決するものである。

【0019】図6で説明した厚い酸化膜のパターンニングを無くすために、全面にゲート絶縁膜を形成すると、ゲート絶縁膜を誘電体とした寄生容量が発生する。しかし周辺領域でこの除去領域を形成することで、寄生容量の増大を抑制できる。

【0020】第2に、前記ゲート電極上に成された絶縁膜と、前記格子状のゲート電極、この下層のゲート絶縁膜および前記上層の絶縁膜の側壁に形成されたサイドウォールと、前記サイドウォールで囲まれた前記半導体層に形成された凹部と、前記凹部の形成領域から前記ゲート電極の形成領域周辺まで形成された逆導電型のチャネル層と、前記凹部の周辺から前記ゲート電極の形成領域まで形成された一導電型のソース領域とを有することで解決するものである。

【0021】年々、セル領域の微細化が進むと共に、ポリSiより成るゲート、メタルより成るゲート電極の膜厚が薄くなっても、厚い酸化膜が形成されていないた

5/23

(4)

特開平11-154683

5

め、ステップカバレッジの悪化やそれによる抵抗値の増大を抑制することができる。

【0022】第3に、前記ゲート電極、このゲート電極の下層のゲート絶縁膜が取り除かれた領域に、絶縁物質を埋め込むことで、耐圧等の特性向上を実現できる。

【0023】第4に、半導体チップ周囲に渡りゲート絶縁膜、導電体層、絶縁膜を順次形成する工程により、マスクを一枚削減でき、前記ゲート電極をマスクにして、チャンネル領域と第1不純物領域層を形成し、前記サイドウォールをマスクにして第1凹部を形成し、同時に前記第1不純物領域層の中央を取り除いてソース領域を形成することで、合計三枚のマスクで実現できる。

【0024】第5に、前記ゲート電極を形成する工程に於いて、前記周辺領域の一部にゲート電極が取り除かれた開口部を形成すると、工程を増やすことなく周辺領域に於ける寄生容量の増大を防止できる。

【0025】第6に、前記第1不純物領域層を形成する工程に於いて、前記開口部にも同導電型の第2不純物領域層が形成され、前記第1凹部の形成工程時に、前記第2不純物領域層の一部が取り除かれた第2凹部を形成すると、第2の凹部がチャンネルストッパーとして活用できる。

【0026】第7に、前記第2凹部を、絶縁膜で埋め込むことで絶縁耐圧を向上できる。

【0027】

【発明の実施形態】以下で、本発明の実施形態に係るブレーナ型のパワーMOSFETについて図面を参照しながら説明する。

【0028】図1は本発明の実施形態に係るブレーナ型のパワーMOSFETの構造について説明する断面図であって、図2～図4は本実施形態に係るブレーナ型のパワーMOSFETの製造方法について説明する断面図である。

【0029】尚、ここでは一例としてN型パワーMOSFETの製法を述べるが、導電型を変えることでP型のパワーMOSFETも同様な製法で可能である。

【0030】このパワーMOSFETは、図1に示すように、n+型の半導体基板11上にn-型のエピタキシャル層からなるドレイン層11Aが形成され、その表層の一部に、p型不純物拡散によって形成されたチャンネル領域16が形成されている。その中央には凹部が形成されており、これを囲むようにしてn+型不純物拡散で形成されたソース領域17がチャンネル領域16の表層に設けられている。

【0031】ドレイン層11A上の、ソース領域17の近傍には、ゲート絶縁膜12、ゲート電極13及びNSG膜14が順次形成されている。これらのゲート絶縁膜12、ゲート電極13及びNSG膜14の側壁には、やはりNSG膜からなるサイドウォール18が形成されて

6

いる。サイドウォール18は、その端部がソース領域17の端部と一致するように形成されている。

【0032】また、ゲート電極13を被覆しているNSG膜14の一部には開口部OPが形成されており、開口部OPを挟んでサイドウォール18と反対側にあるNSG膜は、除去領域ELが設けられている。

【0033】さらに、チャンネル領域16の中央に形成された凹部OB1を被覆するように、AlSiよりなるソース電極配線19が形成されており、また、AlSiよりなり、前述したNSG膜14の開口部OPを介してゲート電極13とのコンタクトをとるためのゲート電極配線20が、上述のNSG膜14上に形成されている。

【0034】また除去領域ELにも、前記凹部OB1と同時に形成される凹部OB2が同時に形成され、後述するチャンネルストッパーとしての働きを示している。

【0035】また半導体基板11の裏面にはドレイン電極Dが形成されている。

【0036】上記のパワーMOSFETの製造工程について図2～図4を参照しながら以下で説明する。

【0037】まず、n+型の半導体基板11上に、n-型のドレイン層11Aをエピタキシャル成長によって形成する。次に、図2に示すように、のちにゲート絶縁膜12となる酸化膜12Aを形成する。次に、全面にポリシリコン膜13Aを形成し、その上にNSG膜14を堆積する。

【0038】次いで、NSG膜14上に不図示のフォトリソレジスト膜を形成し、フォトリソグラフィ法によってパターンニングし、パターンニングされたレジスト膜を第1回目のマスクにしてNSG膜14、ポリシリコン膜13A及び酸化膜12Aとをエッチングして、ゲート絶縁膜12とゲート電極13とを形成する。

【0039】ここでは、ゲート電極13のパターンニングと同時に、除去領域ELを形成している。この除去領域は、周辺領域に形成されたゲート電極13、ゲート絶縁膜12および半導体層により発生する寄生容量の増加を抑制するために設けている。

【0040】次に、これらのゲート絶縁膜12、ゲート電極13、NSG膜14をマスクにしてp型の不純物を注入・拡散することでドレイン層11A上にチャンネル領域16を形成する。その後、n+型の不純物をチャンネル領域16の表層に注入し、のちにソース領域となるn+型不純物拡散領域17Aを形成する。その後全面にNSG膜15Aを再び形成することにより、図3に示すような構造を得る。

【0041】次いで、フォトリソレジストを塗布してフォトリソグラフィ法でゲート電極13の形成領域の一部に開口が形成されるようにパターンニングし、この不図示のレジストを第2回目のマスクにしてNSG膜14、15Aをエッチングして開口部OPを形成する。

【0042】ここでは、ポリSiゲート13の膜厚にも

6/23

7

よるが、NSG膜15Aのみを除去しても良い。これにより図4に示すゲート電極13のエッチング深さを浅くすることができる。

【0043】その後、全面をエッチバックして、NSG膜14、ゲート電極13、ゲート絶縁膜12の側壁にNSG膜15からなるサイドウォール18を形成するとともに、チャンネル領域16に凹部OB1を形成する。このとき、n型不純物拡散領域17Aは凹部OB1により中央が取り除かれ、このn型不純物拡散領域の各々が、ソース領域17として形成されることになり、図4に示すような構造を得る。

【0044】また図4では示していないが、図1のように凹部OB1に例えばボロンをイオン注入してP++型のコンタクト領域Cを形成しても良い。

【0045】ここで除去領域ELにもサイドウォールが形成され、半導体層が露出される。しかも凹部OB1と一緒に凹部OB2も形成される。この部分が、ゲート電極13の下層から半導体チップの周辺に流れる電流のチャネルストッパーとして働く。

【0046】この後、全面にAlSiをCVD法やスパッタ等で堆積成膜し、これをバターンニングすることにより、露出された凹部OB1のチャンネル領域16、ソース領域17の一部領域に接するようにソース電極配線19を、ゲート電極とコンタクトをとるためのゲート電極配線20を、それぞれ形成することにより、図1に示すような構造のパワーMOSFETが完成する。また半導体基板の裏面にドレイン電極Dが形成される。

【0047】また図面では、説明していないが、半導体層が露出している凹部OB2は、この後、バシペーション膜(Si₃N₄膜やポリイミド膜等)が全面に被覆されるため、特性劣化、ショート等の問題は無くなる。

【0048】以上説明したように、本実施形態に係る半導体装置の製造方法によれば、ゲート電極13上にNSG膜14を選択的に形成したのちにさらにNSG膜15Aを全面に形成し、これをエッチバックしてサイドウォール18を形成するとともにチャンネル領域16に凹部OB1を形成し、これでn型不純物拡散領域17Aを分断することによってソース領域17を形成しているため、ソース領域17を形成する際に必要であったバターンニングの際のフォトリソ工程が不要になる。

【0049】従って、本発明の実施形態では、全工程を通じて、フォトリソが必要な工程は、

1) ゲート電極を形成するためのバターンニング用マスクの形成工程(図2)

2) ゲート電極とのコンタクトをとるための開口OPを形成する工程

3) 配線層をバターンニングするためのマスク形成工程の3工程だけで済む。

【0050】このように、本実施形態では都合3枚のフォトリソマスクを使用するだけでよく、6枚のフォトリソ

(5)

特開平11-154683

8

を用いていた従来と異なり、マスク工程やこれに付随する工程が非常に多くなり、製造工程が複雑になり、製造コストが高くなってしまいう問題を抑止することが可能になる。

【0051】またマスクが一枚増えるが、エッチバックする際に、除去領域ELの上をホトレジストでカバーすれば、除去領域は、NSG膜でカバーされ、露出を防止できる。

【0052】また図9の様に、周辺領域にNSG膜15を残しても良い。つまり周辺領域をレジストで覆い、エッチバックしてスペーサを形成する。その後スペーサをマスクにして凹部OBを形成し、図示のホトレジストPRをマスクにしてコンタクトCを形成する。最後に図10のようにメタル配線を形成する。このようなプロセスでは、周辺領域に、NSG膜が2層形成されるため、ボンディング時の衝撃を吸収することができる。

【0053】続いて、本発明の経緯を図11～図18を使って説明する。尚、図11の上図は、半導体装置の概略平面図であり、模式的に中央に4つの凹部OB1が形成され、それぞれには、×印で示すコンタクトが形成されている。従って一点鎖線と点線の間は、ソース領域17となる。

【0054】またゲート電極13は、この凹部OB1を除いた全面に形成されているため、セル領域では、格子状を成している。またゲート電極配線20は、A1等のメタル配線であり、メタルM1は、ボンディング領域の為に設けられ、左右に設けられたメタルM2、M3は、ゲート抵抗を低減させるために設けられている。

【0055】また下の図は、平面図に示すA-A線の断面図である。本発明は、図5に示す厚い酸化膜3のバターンニングでマスクが一枚必要であることに着目し、これを省略し、全面にゲート絶縁膜2を被覆したままとした。しかし周辺領域に形成されたゲート電極13は、ゲート絶縁膜12を誘電体とするゲートドレイン間の寄生容量が増加する。これは単に膜厚が薄くなるためである。しかし寄生容量を問題としない場合、以下に述べる三枚マスクプロセスで実現できる。

【0056】まず図2に示すように、半導体基板11上に、ドレイン層11Aをエピタキシャル成長によって形成する。次に、ゲート絶縁膜12となる酸化膜12A、ポリシリコン膜13A、NSG膜14を堆積する。

【0057】次いで、図12の如くバターンニングされたレジスト膜PR1を第1回目のマスクにしてNSG膜14、ポリシリコン膜13A及び酸化膜12Aをエッチングし、ゲート電極13を形成する。

【0058】次に、ゲート電極13をマスクにしてp型の不純物を注入・拡散することでドレイン層11A上にチャンネル領域16を形成する。その後、n型の不純物をチャンネル領域16の表層に注入し、のちにソース領域となるn型不純物拡散領域17Aを形成する。

50

7/23

(6)

特開平11-154683

10

9

【0059】その後全面にNSG膜15Aを再び形成し、全面をエッチバックして、NSG膜14、ゲート電極13、ゲート絶縁膜12の側壁にNSG膜15からなるサイドウォール18を形成する。(以上図13参照) 続いて、サイドウォール18をマスクにしてチャネル領域16に凹部OB1を形成し、ソース領域17を形成する。

【0060】続いて、図14の様に、ホトマスクPR2でゲート電極のコンタクトCを形成し、この後、図11の様に、不図示のホトマスクPR3でメタルをエッチングしソース電極配線19とゲート電極配線20を形成する。

【0061】以上の工程により、三枚のマスクによりパワーMOSが実現できる。また微細化が進む中、ポリSiゲートの膜厚、メタルの膜厚は、薄くなってゆく。特に図5で示すような厚い酸化膜を採用する場合、ステップカバレッジの問題が発生し、ゲート抵抗の上昇や配線の断線等が問題となるが、三枚マスクプロセスでは、この問題が解決される。

【0062】しかし前述したように周辺領域での寄生容量が増加するが、図15～図18のプロセスで改善される。本工程は、図1で示す除去領域ELに於ける半導体層の露出を防止するものである。

【0063】まず図2に示すように、半導体基板11上に、ドレイン層11Aをエピタキシャル成長によって形成する。次に、ゲート絶縁膜12となる酸化膜12A、ポリシリコン膜13A、NSG膜14を堆積する。

【0064】次いで、図15の如くパターニングされたレジスト膜PR1を第1回目のマスクにしてNSG膜14、ポリシリコン層13A及び酸化膜12Aをエッチングし、ゲート電極13を形成する。同時に周辺領域には、除去領域EL1、EL2を形成する。ここでは容量低減のために複数個設けた方がよい。また図16で説明するがこの除去領域は、NSG膜を被覆する際、完全にEL1、EL2が完全に埋め込まれるようにその幅が狭く形成される。

【0065】次に、ゲート電極13をマスクにしてp型の不純物を注入・拡散することでドレイン層11A上にチャネル領域16を形成する。その後、n型の不純物をチャネル領域16の表層に注入し、のちにソース領域となるn型不純物拡散領域17Aを形成する。

【0066】その後全面にNSG膜15Aを再び形成する。(以上図16参照)ここでNSG膜15AをCVDで形成すると、図16の除去領域ELの両側面から膜が成長するので、除去領域の幅は、NSG膜の膜厚の二倍程度またはそれ以下が好ましい。

【0067】続いて全面をエッチバックして、NSG膜14、ゲート電極13、ゲート絶縁膜12の側壁にサイドウォール18を形成し、更にサイドウォール18をマスクにしてチャネル領域16に凹部OB1を形成し、ソ

ース領域17を形成する。

【0068】ここでは、除去領域ELが完全に埋まっているため、図1の除去領域ELの様に、半導体層が露出することはない。

【0069】続いて、図17の様に、ホトマスクPR2でゲート電極のコンタクトCを形成し、この後、図18の様に、不図示のホトマスクPR3でメタルをエッチングしソース電極配線19とゲート電極配線20を形成する。

【0070】以上の説明に於いて、絶縁膜としてNSG膜14、15を用いたが、従来例で説明したPSG膜でも良い。また符号14をNSG膜(またはPSG膜)で、符号15AがPSG膜(またはNSG膜)でも良い。

【0071】

【発明の効果】以上説明したように、厚い酸化膜の省略、ソース領域を形成する際に必要であったフォトマスク工程を省略したため、発明の実施形態では、全工程を通じて、フォトマスクが必要な工程は、1)ゲート電極を形成するためのパターニング用マスクの形成工程2)ゲート電極とのコンタクトをとるための開口を形成する工程3)配線層をパターニングするためのマスク形成工程の3工程だけである。

【0072】このように、本実施形態では都合3枚のフォトマスクを使用するだけでよく、6枚のフォトマスクを用いていた従来と異なり、マスク工程やこれに付随する工程の削減が可能になり、製造工程の省力化、製造コストの大幅な削減が可能になる。

【0073】また周辺領域に位置するゲート電極の一部、このゲート電極の一部の下層のゲート絶縁膜を取り除くことで、寄生容量の増大を抑制できる。

【0074】また、セル領域の微細化が進むと共に、ポリSiより成るゲート、メタルより成るゲート電極の膜厚が薄くなっても、厚い酸化膜が形成されていないため、ステップカバレッジの悪化やそれによる抵抗値の増大を抑制することができる。

【0075】また、前記ゲート電極、このゲート電極の下層のゲート絶縁膜が取り除かれた領域に、絶縁物質を埋め込むことで、耐圧等の特性向上を実現できる。

【0076】また、半導体チップ周囲に渡りゲート絶縁膜、導電体層、絶縁膜を順次形成する工程により、マスクを一枚削減でき、前記ゲート電極をマスクにして、チャネル領域と第1不純物領域層を形成し、前記サイドウォールをマスクにして第1凹部を形成し、同時に前記第1不純物領域層の中央を取り除いてソース領域を形成することで、合計三枚のマスクで実現できる。

【0077】また、前記ゲート電極を形成する工程に於いて、前記周辺領域の一部にゲート電極が取り除かれた開口部を形成すると、工程を増やすことなく周辺領域に於ける寄生容量の増大を防止できる。

(7)

特開平11-154683

11

【0078】更には、前記第1不純物領域層を形成する工程に於いて、前記開口部にも同導電型の第2不純物領域層が形成され、前記第1凹部の形成工程時に、前記第2不純物領域層の一部が取り除かれた第2凹部を形成すると、第2の凹部がチャネルストッパーとして活用できる。

【0079】最後に、前記第2凹部を、絶縁膜で埋め込むことで絶縁耐圧を向上できる。

【図面の簡単な説明】

【図１】本発明の実施形態に係るブレーナ型のパワーＭＯＳＦＥＴの構造を説明する断面図である。

【図２】本発明の実施形態に係るパワーＭＯＳＦＥＴの製造方法を説明する断面図である。

【図 3】本発明の実施形態に係るパワー MOSFET の製造方法を説明する断面図である。

【図４】本発明の実施形態に係るパワーＭＯＳＦＥＴの製造方法を説明する断面図である。

【図5】従来のプレーナ型のパワーMOSFETの構造を説明する断面図である。

【図6】従来のパワーMOSFETの製造方法を説明する断面図である。

【図7】従来のパワーMOSFETの製造方法を説明する断面図である。

*【図8】従来のパワーMOSFETの製造方法を説明する断面図である。

【図9】本発明の第2の実施の形態を説明するパワーMOSFETの断面図である。

【図10】本発明の第2の実施の形態を説明するパワーMOSFETの断面図である。

【図 11】本発明の第 3 の実施の形態を説明するパワー MOSFET の断面図である。

【図12】本発明の第3の実施の形態を説明するパワーマOSFETの断面図である。

【図13】本発明の第3の実施の形態を説明するパワーMOSFETの断面図である。

【図14】本発明の第3の実施の形態を説明するパワーMOSFETの断面図である。

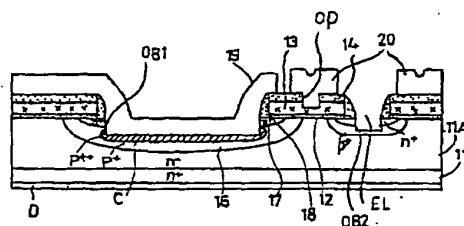
【図15】本発明の第4の実施の形態を説明するパワーMOSFETの断面図である。

【図16】本発明の第4の実施の形態を説明するパワーMOSFETの断面図である。

【図17】本発明の第4の実施の形態を説明するパワーMOSFETの断面図である。

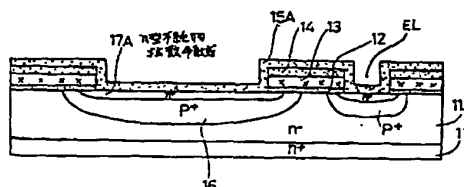
【図18】本発明の第4の実施の形態を説明するパワーMOSFETの断面図である。

【圖 1】

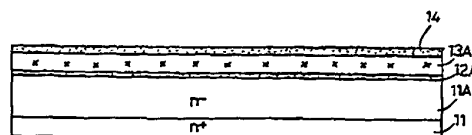


- | | |
|------------|-------------|
| 11: 半導体基礎 | 16: ネットワーク |
| 11A: ドレイン層 | 17: ソース配線 |
| 12: ゲート絶縁層 | 18: サイドウォール |
| 13: ゲート電極 | 19: ソース電極配線 |
| 14: N+層 | 20: ゲート電極配線 |

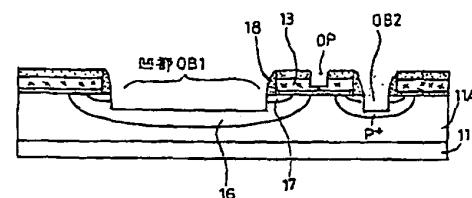
【图3】



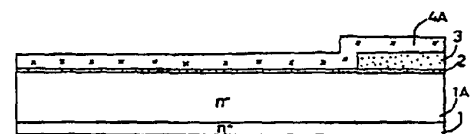
【図2】



【图4】



【图6】

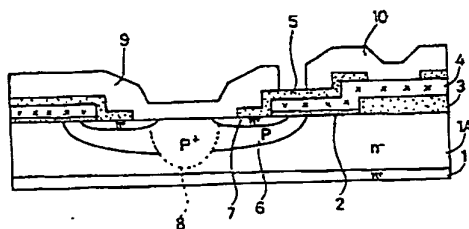


9/23

(8)

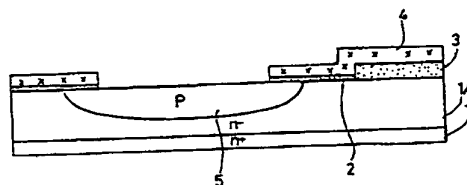
特開平11-154683

【図5】

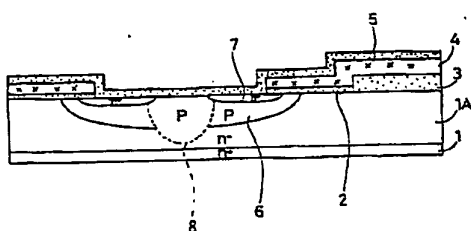


- | | |
|-----------|------------|
| 1: 予備検査 | 6: 知能検査 |
| 1A: フレイン層 | 7: リース検査 |
| 2: ハード絶縁層 | 8: ボリウム検査 |
| 3: 絶縁層 | 9: リース電圧試験 |
| 4: ハード電圧 | 10: パワー電圧 |
| 5: PSG検査 | |

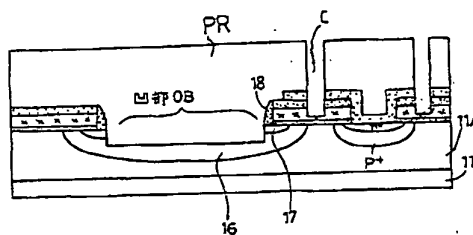
【图7】



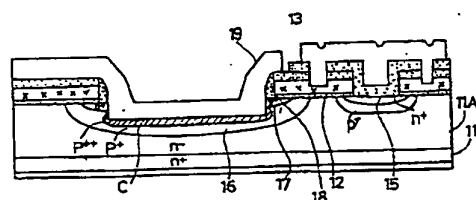
【圖 8】



【圖9】

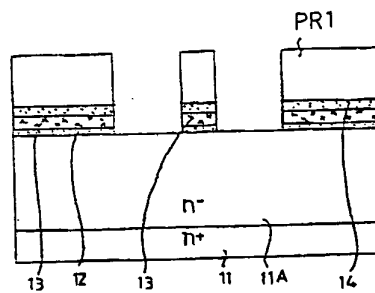


【圖10】



- | | |
|------------|------------|
| 11: 半導体基板 | 15: 電子分離膜 |
| 12A: フレイン層 | 16: 各層中形成 |
| 12: 光シールド層 | 17: シス配線 |
| 13: 光電極 | 18: サイクル |
| 14: NSG膜 | 19: シス電極配線 |
| | 20: 光電極配線 |

【圖 12】

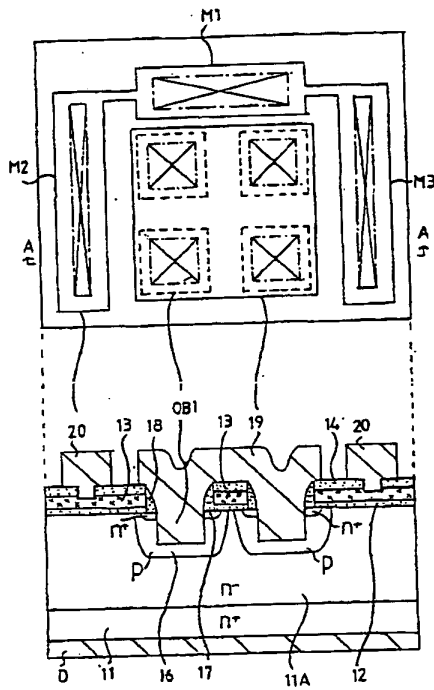


10/23

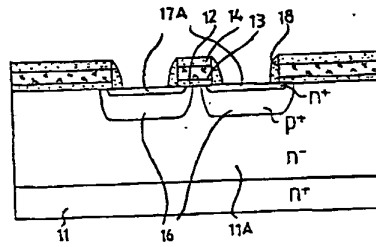
(9)

特開平11-154683

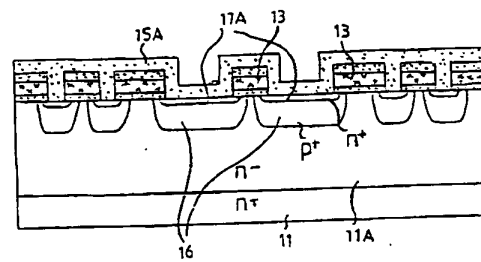
【図11】



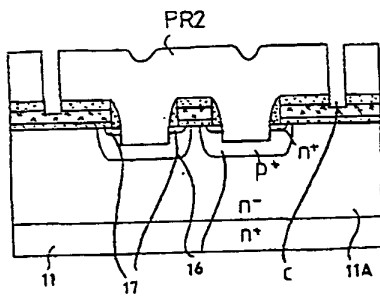
【図13】



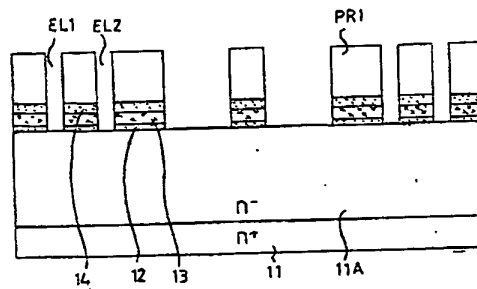
【図16】



【図14】



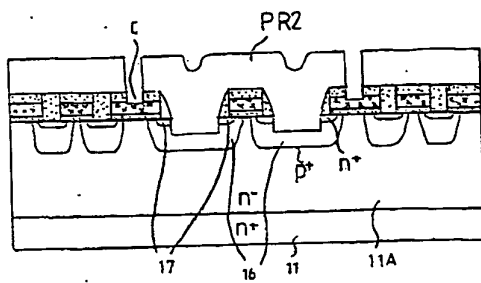
【図15】



(10)

特開平11-154683

【図17】



【図18】

